6. Конвейерные вычислительные системы.

6.1 Каноническая функциональная структура конвейерного процессора. Назначение, векторные операции. MISD-архитектура. Структура и функционирование.

Конвейерные и инверторные ВС.

Каноническая функциональная структура конвейерного процесса.

ЭБО – элементарный блок обработки.

ЭБО1->ЭБО2->…->ЭБОn->память->ЭБО! (Цикл) (рисунок выше)

В конвейерной ВС основной объем операций по обработке данных выполняется одним или несколькими конвейерными процессорами. Конвейер оперирует с векторами данных, которые являются одномерными массивами или в терминах алгебры строкой или столбцом. А=() В конвейере вектор операции реализуется аппаратурно, т.е. рассматриваются операции покомпонентного выполнения операций (+,\*,/), либо формирования вектора из чисел, обработанных компонентом данного вектора. Для более сложных операций могут быть введены свои вектора команд. A+αB, (A+α)\*B… А,В – вектора данных, α–некоторое скалярное число.

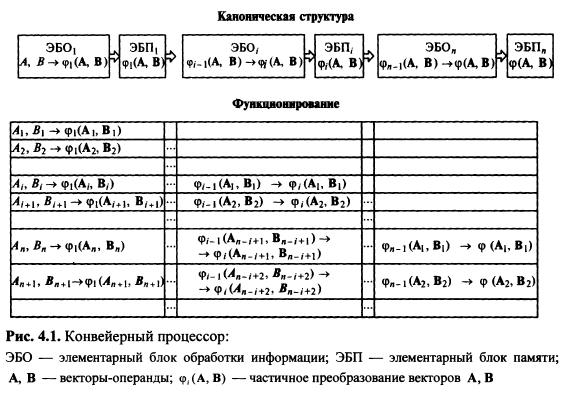
Конвейер в общем случае образуется как цепочка из элементарных блоков обработки информации и памяти. Каждый из блоков обработки (ЭБО) осуществляет частичное преобразование векторов – операндов.

А,В->ϕ(А,В)->…->->… В составе ЭБО имеются элементарные блоки памяти, которые используются для хранения ЭБП; i={1,2,…,n-1} промежуточных результатов могут быть объединены в единое целое либо в оперативную память, либо в вектор регистра.

В простейшем случае, элементарные блоки обработки конвейера могут реализовывать отдельные фазы операций, т.е. выполнение микроопераций. Например, при сложении двух вещественных чисел, представленных с плавающей запятой необходимо выполнение следующих операций:

1. Сравнение порядков, 2. Выравнивание порядков, 3.Сложение мантисс, 4.Нормализация.

Элементы векторов подаются в конвейер в дискретные моменты времени и в соответствии с их расположением в векторах. На каждом шаге в ЭБО1 заносится новая пара элементов (операндов) в качестве операндов А,В. В ЭБОiiϵ{2,n} заносится информация из предыдущего ЭБОi-1. Процесс вычисления ϕ(А,В) для пары элементов из векторов А и В разделен на n этапов и все блоки конвейера работают параллельно, но каждый из них реализует свой этап вычислителей и обрабатывает свои элементы в фиксированный момент времени t. Время обработки на конвейере конкретных элементов векторов равно суммарному времени на преобразование во всех ЭБО.

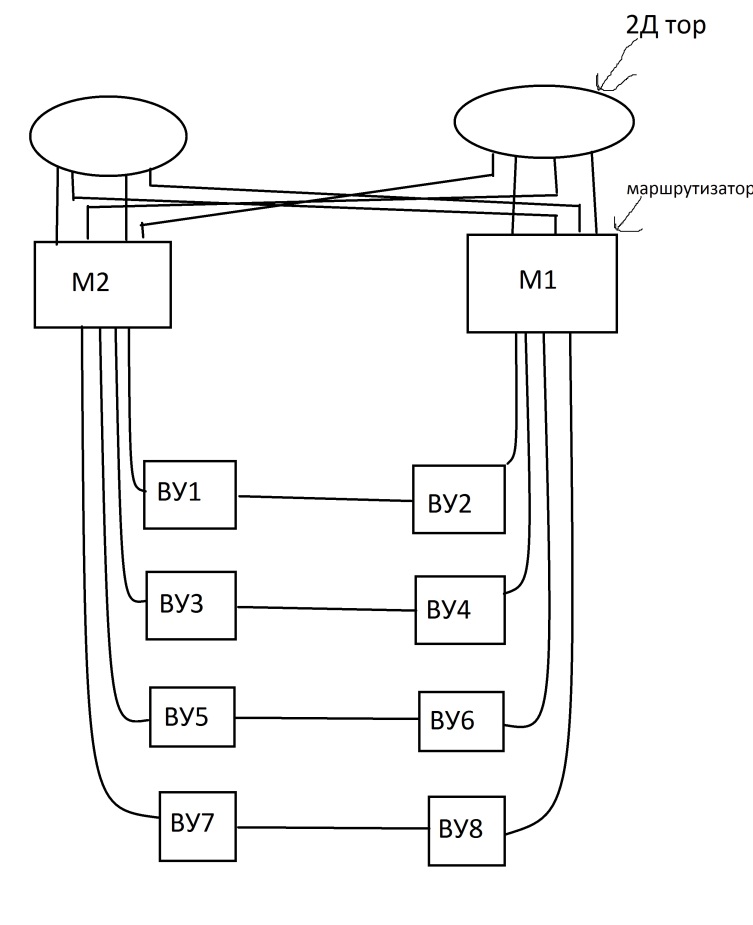


Конвейерный процессор

У каждого процессора производительность 12.26 GFlops при работе с 64-х разрядными словами, также имеется возможность обработки 32-х разрядных слов. Такой тип относится к классу мультиплексорных процессоров, т.е. он является конвейером, но в его состав входит множество простых конвейеров. По сути, архитектура близка к системе Star 100. Каждый элементарный процессор состоит из 4 секций обработки информации и 4 блоков кэш-памяти. Взаимодействие кэш и секций осуществляется через коммутатор. Каждая секция обработки информации включает 1 скалярный блок с собственной кэш памятью и 2 векторных конвейера. Все компоненты даже в пределах секций обработки информации способны работать параллельно.

Рассмотрим коммуникационную среду данной системы. Структура представляет из себя проецированный 2Д тор. Вершины – композиция из выч узлов (вычислительная вершина).

Функциональная структура выч машины



М1 М2 – связь с четными и нечетными вершинами

Для характеристики латентности используется термин Диаметр – макс расстояние определенное на множестве кратчайших путей между всевозможными парами вершин

М – коммутатор, явл логической схемой задержки в котором малы по сравнению с пересылками в ВУ и поэтому диаметр структуры выч вершины = 2

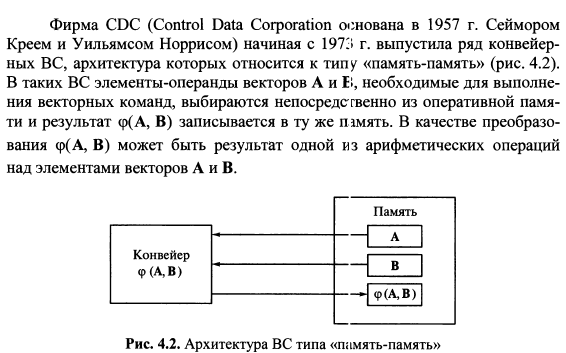
Одна из возможных конфигураций системы – четырехмерный куб 16 вершин

В каждой вершине 8 узлов

Каждый узел – 4 элементарных процессора. Во всей системе 512 элем процессора

Вывод: опыт работы конвейерных ВС привел к необходимости создания распределенных систем с программируемой структурой, которая была сформулирована в 60-70 гг в СССР

6.2 Конвейерные системы «память-память». STAR-100, семейство Cyber.



STAR-100.

Разработка конвейерной ВС STAR-100 (STAR - STring АRгау computer - векторный компьютер) осуществлялась фирмой CDC c 1965 по 1973 г. Быстродействие ВС 10^8 опер./c.

Состоял из 2-х подсистем

1 обрабатывала данные

2 обеспечивала работу ОС

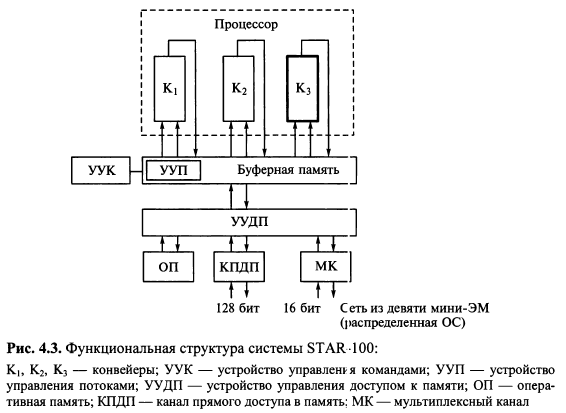
Ядром первой подсистемы является процессор, образуемый из нескольких конвееров. В типовых конфигурациях было 3 конвейера: К1, К2, К3

Конвейеры были специализированными: К1 и К2 служили для выполнения векторных операций. К3 для выполнения или реализации программ над скалярными операндами.

К1 и К2 - конвейеры, которые служили для выполнения операций с плав запятой над векторами данными. К3 для обработки обычных операндов в неорганизованных векторах.

К1 и К2 определяли уровень быстродействия системы Star-100 в целом.

Конвейеры Star-100 имел программированную структуру, следовательно, в них могли быть выполнены различные арифметические операции, но до начала новой операции конвейер следовало перенастроить.



Во всех трех конвейерах была заложена возможность реализации сложения, а умножения и деления – только в К1 и К2. Каждый конвейер мог включать в себя до 30 блоков информации. Все блоки работали параллельно. Любой конвейер воспринимал 64-разряд код, либо как 64 битный (разряд) операнд, либо как 2 32-х битных операнда.

Время выполнения операций над одной парой операндов в любом из конвейеров не превышало 40 нс. (10-9с) Следов-но, данные могли поступать в процессор со скоростью 100 млн оп/с.

Система машинных команд Star-100 состояла из 230 команд: 65 работа с векторами данных, 130 работа со скаляр.

Средства управления подсистемой обработки данных представлены композицией из устройства управления командами УУП и УУДП. УУК имело буфер опережаемого просмотра команд емкостью 4 512-ти разряд слова со стековым механизмом работы. УУП использовалось для управления потоками операнд и команд между конвейерами УУК и УУДП. В ОП хранились данные и программа. ОП реализована на магнитных сердечниках и имела емкость до 8 МБ.

В машине были реализованы 4 вирт канала обращения к памяти, которые реализовывались УУДП. 2 канала использовались для чтения операндов для конвейеров К1 и К2, один канал для записи результатов и один для вывода информации.

Буферная память была отведена вследствие того, чтобы быстродействие ОП было существенно ниже быстродействия процессора. Она представляет собой совокупность регистров со временем обращения цикла 110 нс. ОС выч машины относилась к классу распределенных, ее функции включали управление внешними запоминающими устройствами и устройствами ввода-вывода информации реализовывались специальной выч сетью из 7 минимашин.

Система включала в себя компилятор языков APL-100, Star, Sobol, Foltran.

Машина CYBER

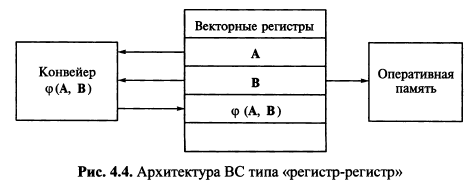
По сути это модернизированный вариант системы STAR-100. Имелось две конфигурации: Cyber 203, Cyber 205.

Производительность Cyber-203  100 млн оп/сек имело ту же систему команд и ПО (полностью совместимое) . Машина является также конвейерной, но вместо К3 стоял обычный скалярный процессор, который обеспечивал 6х увеличение быстродействия при обработке скалярной инфы. Емкость ОЗУ – 16 МБ.

Cyber-205:обладала более современной архитектурой, чем 203. В ней допускалось варьирование кол-ва конвейеров от 1 до 4. Пиковая производительность 200 млн оп/сек. Емкость ОЗУ -32 мб.

Все конвейеры Cyber-205 могли работать лишь в унисон, т.е. выполнять одну и ту же векторную операцию. След-но, архитектура Cyber-205 представляла SIMD-архитектуру. В составе аппаратурно-векторных операций машина Cyber-205 имела триады в виде А+αВ, где А и В - вектора, α – скаляр. Выполнялись триады с той же скоростью, что и сложение, умножение векторов. На микроуровне схема Cyber-205 представляла систему MISD, а на макроуровне SIMD

6.3 Конвейерные системы «регистр-регистр». CRAY-1. Мультиконвейерные системы семейства CRAY.



Каждый вектор-регистр способен хранить вектор-операнд, при этом при реализации вектор-команд векторы-операнды извлекаются покомпонентно из вектор-регистров. Вектор-результат запоминается также в одном из активных регистров. Векторы-операнды должны быть загружены в вектор-регистры из ОП до начала вектор команды. Вектор-регистры играют роль кэш-памяти. В рамках данной архитектурной концепции (конвейерные Выч системы «регистр-регистр») был выпущен ряд совместных моделей : Сray 1, Cray X-MP, Cray Y-МР, Cray С90, Cray T-90. Cray 1 была однопроцессорной, а остальные многопроцессорными. Т.е. любой из этих процессоров был ориентирован на выполнение векторных операций и был мультиконвейерным. Модели X-MP, Y-MP, C-90 являются параллельно-векторными ВС. В настоящее время такие системы называют ПВП-системами (Paraller Vector Processors).

Cray 2, 3, 4 были архитектурно несовместимы с вышеизложенным списком, и компания перешла от к конвейерной концепции к концепции выч систем с массовым параллелизмом (МПП системы). Massively Parallel Processing: Cray T3D, Cray T3E, Cray T3F-900.

Cray-1

Произведена в 1976 году. Быстродействие 160 MFLOPS (16\*10^7 FLOPS)и 37\*10^6 над скалярами. Емкость ОЗУ от 8 до 64 Мб. Длина слова 64 разряда.

Предназначалась для работы над векторными и скалярными данными, состояла из следующих подсистем:

1) Управление программой;

2) Конвейеры

3) Регистры и память

4) Уустройство ввода вывода

Подсистема конвейеров по сути являлась процессором Cray и состоит из 12 конвейеров, которые разделялись на 4 группы:

1) Предназначалась для операций с адресами

2) Над скалярами

3) Для операций с числами с плав запятой

4) Для вектор-операций

Конвейеры состояли из сегментов ЭБО, каждый из которых был ориентирован на выполнение своей микрооперации.

Операционная система Cray (COS) обеспечивала режим пакетной обработки. Особенность архитектуры Cray-1 состояла в том, что система обладала способностью адаптации к решаемой задаче. Это достигалось возможностью настройки цепочек из произвольного числа конвейеров с произвольными их последовательностями. Система одновременно могла выполнять как несколько скалярных, так и несколько векторных операций

Параллельно-векторные системы Cray.

Это системы вида PVP по сути являющиеся коллективами, образованными из конвейерных процессоров. По началу это были процессоры Cray X-MP и Y-MP. Система Х-МР – кластер из конвейерных процессоров, относится к классу MIMD; в состав входят 2, 4 процессора. Производительность каждого 235 MFlops. Область применения – разработка авиа-космических объектов.

Y-MP - модификация Х-МР. В ней допускалось наличие 1-8 процессоров. Макс быстродействие 2,656 GFlops, каждого процессора 333MFlops.

CrayC-90 T-90

C-90 - быстродействие 16 GFlops. Кол-во процессоров:2,4,8,16. Емкость ОЗУ от 512 Мб до 8Гб. Относится к классу архитектуры MIMD.

Функциональная структура представляла собой композицию конвейеров, регистров и сетей связи. Конвейеры и регистры предназначались для обработки скаляров, векторов и операндов.

Конвейеры так же, как и у Cray-1, распределялись на 4 группы. Тип системы «регистр»-«регистр».

ОЗУ общедоступна. В системе реализовалась многопроцессорная обработка: режим 1 - выполнение нескольких независимых программы на разных процессорах, 2 - обработка данных одной программы на разных процессорах.

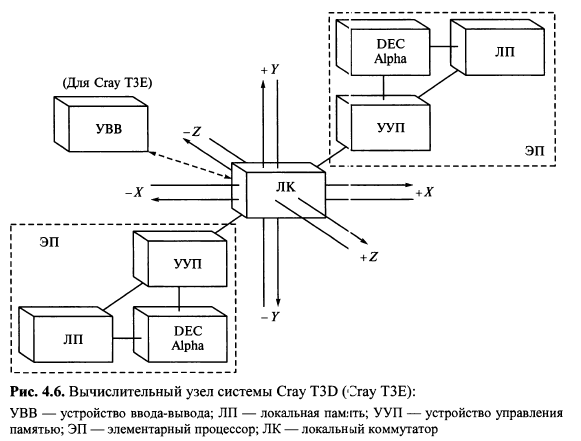
T-90 - Модификация С-90. Могла состоять из 4,16, 32 процессоров. Быстродействие 64 GFLOPS. Емкость ОЗУ от 512 Мб до 8 Гб. Система имела архитектуру MIMD, и была предусмотрена возможность макросистем из нескольких T-90.

6.4 Конвейерные MIMD-системы. Система Cray-T3D.

B конце 80-x roдoв XX в. ряд кoмпaний (Thinking Machines, Kendal Square, NCube, MasPar и Mieko) ycпeшнo пpoвoдили иccлeдoвaния и paзpaбoтки нoвыx архитектур cynepBC (Massively Parallel Processing Systems), в кoтopыx высокая эффективность достигалась зa счет применения большого числа элементарных (пpocтыx) пpoцeccopoв. Системы c массовым пapaллeлизмoм (MPP-cиcтeмы) стали альтернативой для вeктopнo-пapaллeльньх BC (РVР-систем). Было paзpaбoтaнo семейство массово-параллельных BC, включающее вoзмoжныe конфигурации мoдeлeй: Cray ТЗD , Cray TЗE, Cray XTЗ и Cray XT4.

Cray T3D.

Вычислительная система Cray ТЗD - первaя МРР-система корпорации Cray Research, ее разработка была завершена в 1993 г. Это позволило фирме Cray Research Inc. быстро захватить лидерство на рынке МРР-систем. Количество элементарных процессоров в конфигурациях системы Cray ТЗD достигало 32.. .2048, a диапaзоны производительности и емкости памяти были соответственно равны 5...300 GFLОPS и 512 Мбайт...128 Гбайт. Система в максимальной конфигурации никогда не выпускалась; обычнaя конфигypация Cray Т3D 64-процессорная, она обеспечивaла быстродействие, равное 10 GFLOPS. Архитектура системы Cray ТЗD MIMD, a сама ВС принaдлежит к виду распределенных. B системе достаточно полно воплощены принципы модели коллектива вычислителей. Последнее позволило, в частности, достичь в ВС Cray ТЗD высокой надежности и живучести, a также масштабируемости (варьиpуемоcти числа процессоров в пределах от 32 до 2048 c шагом 32). Следовательно, архитектура ВС Cray ТЗD приспособлена к формированию конфигураций c заданной производительностью и/или стоимостью. Система Cray ТЗD работает под управлением хост-системы (Host System - управляющая ВС). Одной из функций хост-системы является производительная подготовка программ (включающая компиляцию) и ввод-вывод данных для Cray ТЗD.



Вычислительный узел Cray ТЗD. Всe вычислительные узлы (ВУ), составляющие BC Cray ТЗD, однородные. Каждый узел (Processing Element Node) системы включает в себя два одинаковых ЭП и ЛК. Элементарный процессор (Processing Element процессорный элемент) представляется композицией из микропроцессора, локальной памяти (ЛП) и устройства управления памятью (УУП).

Локальный коммутатор обеспечивает непосредственную связь ВУ c соседними узлами и представляет собой шестиполюсник. В состав ЛК входят: сетевой маршрутизатор, сетевой интерфейс и контроллер для пересылки блоков данных. Сетевой маршрутизатор (Network Router) ВУ основной элемент управления коммуникационной сетью Cray T3D. Он способен работать c тремя парами двунаправленньх межyзловых связей (Coтmunication links), что позволяет создавать трехмерные структуры ВС. Маршрутизатор каждого ВУ определяет путь перемещения каждого пакета данных и может осуществлять параллельный транзит данных по всем трем межузловым связям.

Вычислительная структура: 3D тор.

Преимущества : быстрая связь граничных узлов, небольшая задержка, повышенная живучесть структуры.

Адресация выч узлов разделена на физическую, логическую и виртуальную. Каждому выч узлу присваивается физический адрес и мог быть присвоен логический адрес, определяющий местоположение в логической конфигурации системы.

Виртуальная адресация введена для того, чтобы пользователю предоставлять дополнительный сервис, т.е. чтобы при программировании не учитывать физический и логический адреса. Любой из адресов представляется трехмерным вектором, который определяет расположение узла в 3D коммуникационной сети.